

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

08-293879

(43)Date of publication of application : 05.11.1996

(51)Int.CL.

H04L 12/40

H04L 12/56

(21)Application number : 07-120882

(71)Applicant : SONY CORP

(22)Date of filing : 21.04.1995

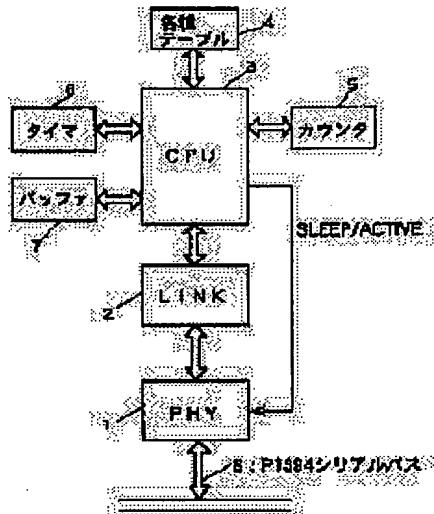
(72)Inventor : NAGANO SUSUMU

(54) ELECTRONIC EQUIPMENT AND ITS OPERATION MODE CONTROL METHOD

(57)Abstract:

PURPOSE: To prevent the hanging-up of a system by providing a mode A which does not output a bias voltage to a bus and the mode B which outputs it and permitting an operation to be executed by means of the mode A/B before/after the completion of an internal initialization processing from power supply.

CONSTITUTION: CPU 3 is connected to a physical/link layer controller(PC/LC) 1/2, various kinds of tables, a counter, a timer and buffers 4-7. PC 1 is connected to a P1394 serial bus 8, have a sleep/active mode a/b, does not output the bias voltage E and also does not transmit and receive a packet in the mode (a). In the mode (b), PC 1 outputs the voltage E so as to transmit and receive the packet, the mode (a) is adopted at the time of turning on the power source of a node and the mode (b) is after the initialization completion of the various parts 4-7 in CPU 3. Thus, a state becomes the non-contact one with a communication system at the time of supplying the power source so that the hanging-up of the communication system is evaded.



LEGAL STATUS

[Date of request for examination] 15.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3348331

[Date of registration] 13.09.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is electronic equipment characterized by to operate by said 2nd mode of operation after operate by said 1st mode of operation and said initialization processing is completed until it is electronic equipment used for the system which transmits and receives a packet among two or more electronic equipment connected by bus, it has the 1st mode of operation which does not output bias voltage to said bus, and the 2nd mode of operation which outputs bias voltage to said bus and internal initialization processing is completed from a power up.

[Claim 2] Initialization processing is electronic equipment according to claim 1 which is initialization of internal information required for transmission and reception of a packet.

[Claim 3] The 1st mode of operation which is the mode-of-operation control approach of the electronic equipment used for the system which communicates among two or more electronic equipment connected by bus, and does not output bias voltage to said bus, It is the mode-of-operation control approach of the electronic equipment characterized by setting it as said 2nd mode of operation after setting it as said 1st mode of operation and completing said initialization processing until it has the 2nd mode of operation which outputs bias voltage to said bus and internal initialization processing is completed from a power up.

[Claim 4] Initialization processing is the mode-of-operation control approach of the electronic equipment according to claim 3 which is initialization of internal information required for transmission and reception of a packet.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the mode-of-operation control technique for preventing the hang-up at the time of the electronic equipment used connecting for example, with a P1394 serial bus, especially bus reset.

[0002]

[Description of the Prior Art] The system which connects electronic equipment, such as a personal

computer, a digital video recorder, and a digital television receiver, by P1394 serial bus, and transmits and receives the packet of a digital video signal, a digital audio signal, and a control signal among these electronic equipment is considered.

[0003] An example of such a system is shown in drawing 4. In this drawing, electronic equipment A – electronic equipment D are personal computers, digital video recorders, etc. which were mentioned above. And it connects by the cables 11, 12, and 13 of a P1394 serial bus between electronic equipment A and B, and B and the port P of C, C, and D. On these specifications, these electronic equipment will be called a node below.

[0004] Two pairs of Shielded Twist Pair cables (not shown) are prepared in the interior of these P1394 serial cables. The inner pair of two pairs of twisted-pair cables is used for transmission of data, and other pairs are used for transmission of a strobe signal. Moreover, each node outputs bias voltage to the twisted-pair cable of a pair, and detects the bias voltage on the twisted-pair cable of other pairs.

[0005] As shown in drawing 4, each node is equipped with the physical layer controller (PHY) 14, the link layer controller (LINK) 15, and CPU16 as a basic configuration for communicating to a P1394 serial bus. The physical layer controller 14 has functions, such as an output/detection of initialization of a bus, encoding/decoding of data, an Arbitration, and bias voltage. Moreover, the link layer controller 15 has link layer control functions, such as generation/detection of an error correcting code, and generation/detection of a packet. And CPU16 has the function of an application layer.

[0006]

[Problem(s) to be Solved by the Invention] In the communication system constituted as mentioned above, if the power source of Node A is turned on from OFF in the condition that the power source of node B-D is carrying out the actuation usual by ON, supply voltage will be supplied to the physical layer controller 14 of Node A, the link layer controller 15, and CPU16, and the usual actuation will be started.

[0007] At this time, the physical layer controller 14 outputs bias voltage on the twisted-pair cable of the pair of the P1394 serial bus 11. This bias voltage is detected by the physical layer controller of the node B by which direct continuation is carried out by P1394 serial bus 11. Consequently, Node B gets to know that the node was connected to the P1394 serial bus 11.

[0008] Thus, a node is newly connected to a bus, if the bias voltage which the physical layer controller of the node outputted to the bus is detected by the physical layer controller of other nodes, bus reset will take place and allotment of the physical address of each node will be automatically completed within at least 170microsec by the physical layer controller of each node. In addition, since the detail of this point is specified on the specification of an IEEE-P1394 serial bus, explanation is omitted.

[0009] After bus reset takes place and allotment of the physical address of each node is completed, node B-D starts a transaction required at the time of the bus reset defined by the protocol. For example, the packet for inquiries, such as a model, is transmitted to Node A. And a transaction is completed when Node A transmits a response packet correctly to an inquiry.

[0010] However, although the time amount which CPU needs to perform various internal initialization processings immediately after powering on, and it takes changes by what kind of processing a node performs from what kind of model, it can usually become dozens msec(s) – Number sec. And since Node A cannot answer to the inquiry from other nodes, other nodes cannot receive a response packet, but a transaction serves as a time-out, and it can be said that a system will hang-up in the meantime.

[0011] For example, in order for a bus to perform an Isochronous (it abbreviates to "Iso" below) communication link, the transaction for performing reservation of a communication channel or a band to the resolver node which becomes settled uniquely at the time of bus reset is published. It will become impossible however, for other nodes to start an Iso communication link, when Node A is a resolver node until Node A completes initialization.

[0012] This invention is made in view of such a trouble, and it aims at offering the electronic equipment by which it was made for communication system not to hang-up in a power up, and its mode-of-operation control approach.

[0013]

[Means for Solving the Problem] In the electronic equipment which uses this invention for the system which communicates among two or more electronic equipment connected by bus in order to solve said technical problem It has the 1st mode of operation which does not output bias voltage to a bus, and the 2nd mode of operation which outputs bias voltage to a bus. After operating by the 1st mode of operation and completing internal initialization processing until internal initialization processing is completed from a power up, it is characterized by constituting so that it may operate by the 2nd mode of operation.

[0014]

[Function] According to this invention, after not outputting bias voltage to a bus but completing internal initialization processing until internal initialization processing is completed from a power up, bias voltage is outputted to a bus.

[0015]

[Example] It explains to a detail, referring to a drawing about the example of this invention below.

Drawing 1 is the block diagram showing the important section configuration of the node by the example of this invention. As shown in this drawing, the node of this example is equipped with the physical layer controller 1, the link layer controller 2 connected to the physical layer controller 1 by the internal bus, CPU3 connected to the link layer controller 2 by the internal bus, and the various tables 4 connected with CPU3 by the internal bus, a counter 5, a timer 6 and a buffer 7. Moreover, the P1394 serial bus 8 is connected to the port (not shown) of the physical layer controller 1. And CPU3 is constituted so that the mode of operation of the physical layer controller 1 may be controlled (it mentions later for details).

[0016] In this example, the physical layer controller 1 has two modes of operation, (1) sleep mode and (2) active mode. In a sleep mode, the physical layer controller 1 does not output bias voltage to a bus, even if supply voltage is supplied. Moreover, a packet is not transmitted and received. In the active mode, the physical layer controller 1 performs the usual actuation. That is, bias voltage is outputted to a bus, and a packet is transmitted and received.

[0017] Next, the actuation of the power up of a node shown in drawing 1 is explained. Drawing 2 is a flow chart which shows actuation of CPU3 of drawing 1.

[0018] CPU3 sends out the control signal for making the physical layer controller 1 into a sleep mode first, if the power source of a node is turned on (step S1). Thereby, since the physical layer controller 1 becomes a sleep mode, even if supply voltage is supplied, actuation which outputs bias voltage to a bus is not performed. Consequently, bus reset does not take place. Moreover, even if the physical layer controller 1 should output bias voltage and bus reset should take place early rather than it sends out the control signal for making the physical layer controller 1 into a sleep mode, in order to make this sleep immediately, bus reset takes place again and it will be in the condition of not connecting with communication system.

[0019] Next, internal initialization processing of the various tables 4, a counter 5, a timer 6, and a buffer 7 is performed, and when it will be in the condition that a transaction can be processed, the physical layer controller 1 is made to change in the active mode (steps S2 and S3).

[0020] For internal initialization processing, as initialization processing of the internal information for starting a transaction here Initialization of a table which manages whether response to ZAKUYON to the transmitted request transaction came, Initialization of the timer used when waiting for response to ZAKUYON to the transmitted request transaction, Initialization of the table used when it is necessary to resend the transmitted request transaction or response transaction, There is initialization of the number counter of transmission used when it is necessary to resend the transmitted request transaction or response transaction. When CPU is controlling other IC circuits (not shown) as other initialization processings, there are initialization of the buffer for communicating with the IC circuit and initialization of the IC circuit.

[0021] In step S3, if the physical layer controller 1 becomes the active mode, this node will output bias voltage to a bus. thereby — this node and bus — a node besides connection *** — communication

system — since it gets to know that the node was newly connected, bus reset takes place. And various transactions which were mentioned above between this node and other nodes are processed (step S4). Since this node has already ended initialization processing at this time, it will not be in the condition that an Iso communication link becomes impossible like before.

[0022] Next, an example of the circuitry of the physical layer controller for realizing actuation mentioned above while referring to drawing 3 is explained.

[0023] As shown in this drawing, the physical layer controller 1 is connected with the link layer controller 2 by the internal bus 11. Moreover, the P1394 serial bus 8 connects with other nodes (not shown).

[0024] In the physical layer controller 1, it has the encoder and decoder 13 which were connected to the driver and receiver 12 which were connected to the P1394 serial bus 8, and this driver and receiver 12 as a circuit for transmitting and receiving a signal to the P1394 serial bus 8. A driver and a receiver 12 transmit and receive a signal to the P1394 serial bus 8. Moreover, an encoder and a decoder 13 perform coding of a sending signal, and a decryption of an input signal. An encoder and a decoder 13 communicate with CPU and a link controller 1 through an internal bus 11 further. In addition, a driver and a receiver 12, an encoder, and a decoder 13 do not participate in control of the mode of operation of the physical layer controller 1.

[0025] Moreover, while sending the detection output of the bias detector 14 which detects the bias voltage on a bus, and the bias detector 14 from the link layer controller 2 through an internal bus 11 in the physical layer controller 1 to CPU3 The bias input/output control circuit 15 told to the bias output-control circuit 17 which mentions later the bias output command sent from CPU3, The voltage stabilizer 16 which generates the bias voltage Vb outputted to the P1394 serial bus 8 from the electrical potential difference Vcc generated by the power circuit (not shown), It has the bias output-control circuit 17 which carries out ON / off control so that the bias voltage Vb which the voltage stabilizer 16 generated may be outputted to the P1394 serial bus 8 based on the bias output command sent from the bias input/output control circuit 15.

[0026] In drawing 3 , if the physical layer controller of a partner node connected by P1394 serial bus 8 becomes the active mode and supplies bias voltage on the P1394 serial bus 8, this bias voltage will be detected by the bias detector 14, and will be sent to the bias input/output control circuit 15. And it is sent to CPU3 through a link controller 2 through an internal bus 11. Thereby, CPU3 gets to know that the physical layer controller of a partner node is outputting bias voltage on a bus.

[0027] Moreover, in drawing 3 , CPU3 sends the command signal for setting the physical layer controller 1 as sleep BUMODO to the bias input/output control circuit 15 until internal initialization processing in which it explained while referring to drawing 1 is completed. If this command signal is received, it will be ordered the bias input/output control circuit 15 so that the bias voltage Vb which the voltage stabilizer 16 generated may not be outputted to the P1394 serial bus 8 to the bias output-control circuit 17. Consequently, since the bias voltage Vb which the voltage stabilizer 16 generated cannot pass through the bias output-control circuit 17, this bias voltage Vb is not outputted to the twisted-pair cable of the P1394 serial bus 8.

[0028] And in drawing 3 , CPU3 sends the command signal for setting the physical layer controller 1 as the active mode to the bias input/output control circuit 15, after internal initialization processing is completed. If this command signal is received, it will be ordered the bias input/output control circuit 15 so that the bias voltage Vb which the voltage stabilizer 16 generated may be outputted to the P1394 serial bus 8 to the bias output-control circuit 17. Consequently, the bias voltage Vb which the voltage stabilizer 16 generated passes through the bias output-control circuit 17, and is outputted to the twisted-pair cable of the P1394 serial bus 8. Thus, the bias voltage outputted to the P1394 serial bus 8 will be detected by the physical layer controller of a node connected to this bus 8, and, as a result, bus reset will take place.

[0029] In addition, this invention is not limited to said example, and based on the meaning of this

invention, various deformation is possible for it and it does not eliminate them from the range of this invention. For example, although supply voltage Vcc is supplied and bias voltage shall not be outputted to a bus as a sleep mode of a physical layer controller in said example, it is good also considering what supply voltage Vcc is not supplied and does not output bias voltage to a bus as a result as a sleep mode. [0030]

[Effect of the Invention] Since it was set as the mode of operation which does not output bias voltage to a bus according to this invention until initialization processing was completed from the power up as explained above, reset of a bus does not take place until initialization processing is completed. Even if it outputs bias voltage for a moment and bus reset takes place, an output is fully early suspended for bias voltage to the extent that a system does not hang-up, bus reset is caused again, and it is changing into communication system and a connectionless condition. For this reason, the hang-up of the communication system in a power up is avoidable.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the important section configuration of the node by the example of this invention.

[Drawing 2] Drawing 2 is a flow chart which shows actuation of CPU3 of drawing 1 .

[Drawing 3] It is the block diagram showing an example of the configuration of the physical layer controller of drawing 1 .

[Drawing 4] It is drawing showing an example of the system which communicates by connecting two or more nodes by P1394 serial bus.

[Description of Notations]

1 [— A P1394 serial bus, 16 / — A voltage stabilizer, 17 / — Bias output-control circuit] — A physical layer controller, 2 — A link layer controller, 3 — CPU, 8

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-293879

(43)公開日 平成8年(1996)11月5日

(51)Int.Cl.
H 04 L 12/40
12/56

識別記号 序内整理番号
9466-5K

F I
H 04 L 11/00
11/20

技術表示箇所
3 2 0
1 0 2 Z

審査請求 未請求 請求項の数4 FD (全5頁)

(21)出願番号 特願平7-120882

(22)出願日 平成7年(1995)4月21日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 長野晋

東京都品川区北品川6丁目7番35号 ソニー株式会社内

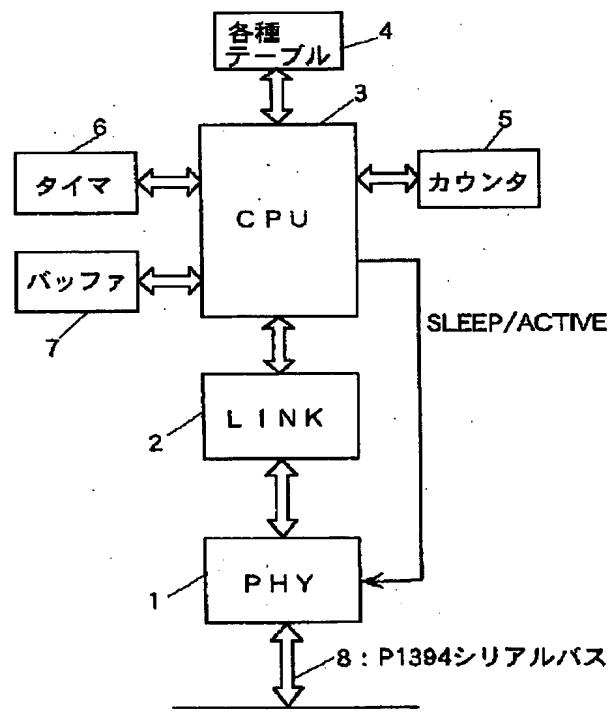
(74)代理人 弁理士 杉山猛 (外1名)

(54)【発明の名称】 電子機器及びその動作モード制御方法

(57)【要約】

【目的】 電源投入時に通信システムがハンアップしないようにする。

【構成】 CPU 3はノードの電源がオンになると、まず物理層コントローラ1をスリープモードにするための制御信号を送出する。これにより、物理層コントローラ1は、電源電圧は供給されてもP1394シリアルバス8へバイス電圧を出力する動作は行わない。そして、CPU 3は初期化処理が終了した後、物理層コントローラ1をアクティブモードにするための制御信号を送出する。



(2)

2

【特許請求の範囲】

【請求項1】 バスで接続された複数の電子機器間でパケットの送受信を行うシステムに用いる電子機器であつて、
前記バスにバイアス電圧を出力しない第1の動作モードと、
前記バスにバイアス電圧を出力する第2の動作モードと、
を有し、電源投入時から内部の初期化処理が終了するまでは前記第1の動作モードで動作し、前記初期化処理が終了した後は前記第2の動作モードで動作することを特徴とする電子機器。

【請求項2】 初期化処理は、パケットの送受信のために必要な内部情報の初期化である請求項1記載の電子機器。

【請求項3】 バスで接続された複数の電子機器間で通信を行うシステムに用いる電子機器の動作モード制御方法であつて、

前記バスにバイアス電圧を出力しない第1の動作モードと、前記バスにバイアス電圧を出力する第2の動作モードと、を有し、電源投入時から内部の初期化処理が終了するまでは前記第1の動作モードに設定し、前記初期化処理が終了した後は前記第2の動作モードに設定することを特徴とする電子機器の動作モード制御方法。

【請求項 4】 初期化処理は、パケットの送受信のため
に必要な内部情報の初期化である請求項 3 記載の電子機
器の動作モード制御方法。

【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明は、例えば、P 1 3 9 4シリアルバスに接続して使用する電子機器、特にバスリセット時のハングアップを防止するための動作モード制御技術に関するものである。

[0002]

【従来の技術】パソコンコンピュータ、デジタルビデオテープレコーダ、デジタルテレビジョン受信機等の電子機器をP1394シリアルバスで接続し、これらの電子機器間でデジタルビデオ信号、デジタルオーディオ信号、及び制御信号のパケットを送受信するシステムが考えられている。

【0003】図4にこのようなシステムの一例を示す。この図において、電子機器A～電子機器Dは、前述したパソコンコンピュータやデジタルビデオテープレコーダ等である。そして、電子機器AとB、BとC、CとDのポートPの間は、P1394シリアルバスのケーブル11, 12, 13で接続されている。以下本明細書では、これらの電子機器をノードと呼ぶことにする。

【0004】これらのP1394シリアルケーブルの内

部には二対のシールド付きツイストペアケーブル（図示せず）が設けられている。二対のツイストペアケーブルの内一对はデータの伝送に使用し、他の一对はストローブ信号の伝送に使用する。また、各ノードは一对のツイストペアケーブルに対してバイアス電圧を出力し、他の一对のツイストペアケーブル上のバイアス電圧を検出する。

【0005】図4に示すように、各ノードは、P1394シリアルバスに対して通信を行うための基本構成として、物理層コントローラ（PHY）14と、リンク層コントローラ（LINK）15と、CPU16とを備えている。物理層コントローラ14は、バスのイニシャライズ、データのエンコード/デコード、アビトレーション、バイアス電圧の出力/検出等の機能を持つ。また、リンク層コントローラ15は、誤り訂正符号の生成/検出、パケットの生成/検出等のリンク層コントロール機能を持つ。そして、CPU16はアプリケーションレイヤーの機能を持つ。

[0006]

【発明が解決しようとする課題】前述のように構成された通信システムにおいて、ノードB～Dの電源がオンで通常の動作をしている状態でノードAの電源がオフからオンになると、ノードAの物理層コントローラ14、リンク層コントローラ15、及びCPU16に電源電圧が供給され通常の動作を開始する。

【0007】このとき、物理層コントローラ14はP1394シリアルバス11の一対のツイストペアケーブル上にバイアス電圧を出力する。このバイアス電圧はP1394シリアルバス11で直接接続されているノードBの物理層コントローラにより検出される。この結果、ノードBはP1394シリアルバス11にノードが接続されたことを知る。

【0008】このように、バスに新たにノードが接続され、そのノードの物理層コントローラがバスに出力したバイアス電圧が他のノードの物理層コントローラにより検出されると、バスリセットが起こり、各ノードの物理層コントローラにより各ノードの物理アドレスの割り付けが、少なくとも $170 \mu\text{s}$ 以内に自動的に終了する。なお、この点の詳細は IEEE-P1394シリアルバスの仕様書に規定されているので、説明は省略する。

【0009】バスリセットが起こり、各ノードの物理アドレスの割り付けが終了すると、ノードB～Dは、プロトコルにより定められたバスリセット時に必要なトランザクションを開始する。例えば、ノードAに対して機種等の問い合わせのためのパケットを送信する。そして、ノードAが問い合わせに対して応答パケットを正しく送信することにより、トランザクションが終了する。

【0010】ところが、通常、電源投入直後、CPUは様々な内部初期化処理を行う必要があり、それに要する

(3)

3

時間はノードがどのような機種でどのような処理を行いうかによって変わるが、数十msec～数secになることもあり得る。そして、この間、ノードAは他のノードからの問い合わせに対して応答することができないため、他のノードは応答パケットを受信できず、トランザクションがタイムアウトとなり、システムがハングアップしてしまうということもあり得る。

【0011】例えば、バスにより Isochronous (以下「Iso」と略す) 通信を行うために、バスリセット時に一意に定まるレゾルバノードに対して、通信チャネルや帯域の確保を行うためのトランザクションを発行する。しかし、ノードAがレゾルバノードになってしまった場合、他のノードはノードAが初期化を終了するまでの間、Iso通信を開始できなくなってしまう。

【0012】本発明はこのような問題点に鑑みてなされたものであって、電源投入時に通信システムがハングアップしないようにした電子機器及びその動作モード制御方法を提供することを目的とする。

【0013】

【課題を解決するための手段】前記課題を解決するために、本発明は、バスで接続された複数の電子機器間で通信を行うシステムに用いる電子機器において、バスにバイアス電圧を出力しない第1の動作モードと、バスにバイアス電圧を出力する第2の動作モードとを有し、電源投入時から内部の初期化処理が終了するまでは第1の動作モードで動作し、内部の初期化処理が終了した後は第2の動作モードで動作するように構成することを特徴とするものである。

【0014】

【作用】本発明によれば、電源投入時から内部の初期化処理が終了するまではバスにバイアス電圧を出力せず、内部の初期化処理が終了した後はバスにバイアス電圧を出力する。

【0015】

【実施例】以下本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の実施例によるノードの要部構成を示すブロック図である。この図に示すように、本実施例のノードは、物理層コントローラ1と、内部バスにより物理層コントローラ1に接続されたリンク層コントローラ2と、内部バスによりリンク層コントローラ2に接続されたCPU3と、内部バスによりCPU3と接続されている各種テーブル4、カウンタ5、タイマ6、及びバッファ7とを備えている。また、物理層コントローラ1のポート(図示せず)には、P1394シリアルバス8が接続されている。そして、CPU3は物理層コントローラ1の動作モードを制御するように構成されている(詳細は後述)。

【0016】本実施例では物理層コントローラ1は、

(1)スリープモード、(2)アクティブモードの二つ

(4)

4

の動作モードを持っている。スリープモードでは、物理層コントローラ1は、電源電圧は供給されてもバスへバイアス電圧を出力しない。また、パケットの送受信を行わない。アクティブモードでは、物理層コントローラ1が通常の動作を行う。すなわち、バスにバイアス電圧を出力し、パケットの送受信を行う。

【0017】次に、図1に示したノードの電源投入時の動作を説明する。図2は図1のCPU3の動作を示すフローチャートである。

10

【0018】CPU3はノードの電源がオンになると、まず物理層コントローラ1をスリープモードにするための制御信号を送出する(ステップS1)。これにより、物理層コントローラ1はスリープモードになるので、電源電圧は供給されてもバスへバイアス電圧を出力する動作は行わない。この結果、バスリセットは起こらない。また、万一、物理層コントローラ1をスリープモードにするための制御信号を送出するより早く、物理層コントローラ1がバイアス電圧を出力してしまいバスリセットが起こったとしても、すぐにこれをスリープにするため、再びバスリセットが起こり、通信システムに接続されていない状態となる。

20

【0019】次に、各種テーブル4、カウンタ5、タイマ6、及びバッファ7の内部初期化処理を行い、トランザクションを処理できる状態になったら、物理層コントローラ1をアクティブモードに遷移させる(ステップS2、S3)。

30

【0020】ここで、内部初期化処理には、トランザクションを開始するための内部情報の初期化処理として、送信したリクエストトランザクションに対するレスポンストランザクションが来たかどうかを管理するテーブルの初期化、送信したリクエストトランザクションに対するレスポンストランザクションを待つ場合に使用するタイマの初期化、送信したリクエストトランザクション又はレスポンストランザクションを再送する必要が生じた時に使用するテーブルの初期化、送信したリクエストトランザクション又はレスポンストランザクションを再送する必要が生じた時に使用する送信数カウンタの初期化がある。その他の初期化処理としては、CPUが他のI C回路(図示せず)を制御している場合には、そのI C回路と通信を行うためのバッファの初期化及びそのI C回路の初期化がある。

40

【0021】ステップS3において、物理層コントローラ1がアクティブモードになると、このノードはバスへバイアス電圧を出力する。これにより、このノードとバスで接続された他のノードは通信システム新たにノードが接続されたことを知るので、バスリセットが起こる。そして、このノードと他のノードとの間で前述したような各種トランザクションの処理を行う(ステップS4)。この時、このノードは既に初期化処理を終了しているので、従来のように例えばIso通信ができなくなってしま

50

(4)

5

まうような状態にはならない。

【0022】次に、図3を参照しながら前述した動作を実現するための物理層コントローラの回路構成の一例を説明する。

【0023】この図に示すように、物理層コントローラ1は、内部バス11によりリンク層コントローラ2と接続されている。また、P1394シリアルバス8により他のノード(図示せず)と接続されている。

【0024】物理層コントローラ1内には、P1394シリアルバス8に対して信号を送受信するための回路として、P1394シリアルバス8に接続されたドライバ及びレシーバ12と、このドライバ及びレシーバ12に接続されたエンコーダ及びデコーダ13を備えている。ドライバ及びレシーバ12はP1394シリアルバス8に対して信号の送受信を行う。また、エンコーダ及びデコーダ13は送信信号の符号化及び受信信号の復号化を行う。エンコーダ及びデコーダ13は、さらに内部バス11を介してCPU及びリンクコントローラ1と通信を行う。なお、ドライバ及びレシーバ12とエンコーダ及びデコーダ13は、物理層コントローラ1の動作モードの制御には関与しない。

【0025】また、物理層コントローラ1内には、バス上のバイアス電圧を検出するバイアス検出回路14と、バイアス検出回路14の検出出力を内部バス11を介してリンク層コントローラ2からCPU3へ送ると共に、CPU3から送られて来るバイアス出力指令を後述するバイアス出力制御回路17へ伝えるバイアス入出力制御回路15と、電源回路(図示せず)により生成された電圧VccからP1394シリアルバス8へ出力するバイアス電圧Vbを生成する定電圧回路16と、バイアス入出力制御回路15から送られて来るバイアス出力指令をもとに、定電圧回路16が生成したバイアス電圧VbをP1394シリアルバス8へ出力するようにオン/オフ制御するバイアス出力制御回路17とを備えている。

【0026】図3において、P1394シリアルバス8で接続された相手ノードの物理層コントローラがアクティブモードになり、P1394シリアルバス8上にバイアス電圧を供給すると、このバイアス電圧はバイアス検出回路14により検出され、バイアス入出力制御回路15へ送られる。そして、内部バス11を介してリンクコントローラ2を通りCPU3へ送られる。これにより、CPU3は相手ノードの物理層コントローラがバス上にバイアス電圧を出力していることを知る。

【0027】また、図3において、CPU3は図1を参照しながら説明した内部初期化処理が終了するまでは、物理層コントローラ1をスリープモードに設定するための指令信号をバイアス入出力制御回路15へ送る。バイアス入出力制御回路15は、この指令信号を受け取ると、バイアス出力制御回路17に対して、定電圧回路16が生成したバイアス電圧VbをP1394シリアルバ

6

ス8へ出力しないように指令する。この結果、定電圧回路16が生成したバイアス電圧Vbがバイアス出力制御回路17を通過することができないため、このバイアス電圧VbはP1394シリアルバス8のツイストペアケーブルへ出力されない。

【0028】そして、図3において、CPU3は、内部初期化処理が終了すると、物理層コントローラ1をアクティブモードに設定するための指令信号をバイアス入出力制御回路15へ送る。バイアス入出力制御回路15は、この指令信号を受け取ると、バイアス出力制御回路17に対して、定電圧回路16が生成したバイアス電圧VbをP1394シリアルバス8へ出力するように指令する。この結果、定電圧回路16が生成したバイアス電圧Vbがバイアス出力制御回路17を通過してP1394シリアルバス8のツイストペアケーブルへ出力される。このようにしてP1394シリアルバス8に输出されたバイアス電圧は、このバス8に接続されたノードの物理層コントローラにより検出され、その結果バスリセットが起こることになる。

【0029】なお、本発明は前記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、それらを本発明の範囲から排除するものではない。例えば、前記実施例では、物理層コントローラのスリープモードとして、電源電圧Vccは供給されるがバスにバイアス電圧は出力しないものとしたが、電源電圧Vccが供給されず、結果としてバスにバイアス電圧を出力しないものをスリープモードとしてもよい。

【0030】

【発明の効果】以上説明したように、本発明によれば、電源投入時から初期化処理が終了するまでは、バスにバイアス電圧を出力しない動作モードに設定したので、初期化処理が終了するまではバスのリセットが起こらない。たとえ、一瞬バイアス電圧を出力してバスリセットが起こったとしても、システムがハングアップしない位十分に早くバイアス電圧を出力を停止し、再びバスリセットを起こして通信システムと非接続の状態にしている。このため、電源投入時における通信システムのハングアップを回避することができる。

【図面の簡単な説明】

【図1】本発明の実施例によるノードの要部構成を示すブロック図である。

【図2】図2は図1のCPU3の動作を示すフローチャートである。

【図3】図1の物理層コントローラの構成の一例を示すブロック図である。

【図4】複数のノードをP1394シリアルバスで接続し、通信を行うシステムの一例を示す図である。

【符号の説明】

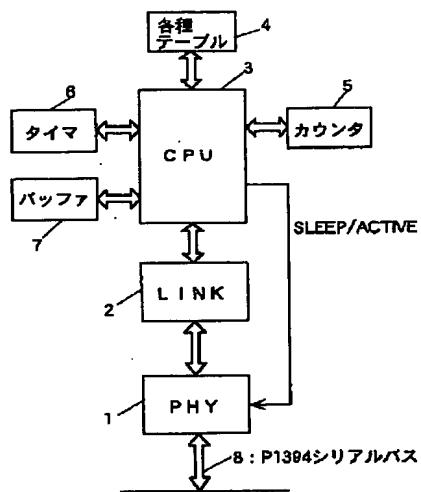
1…物理層コントローラ、2…リンク層コントローラ、

3…CPU、8…P1394シリアルバス、16…定電

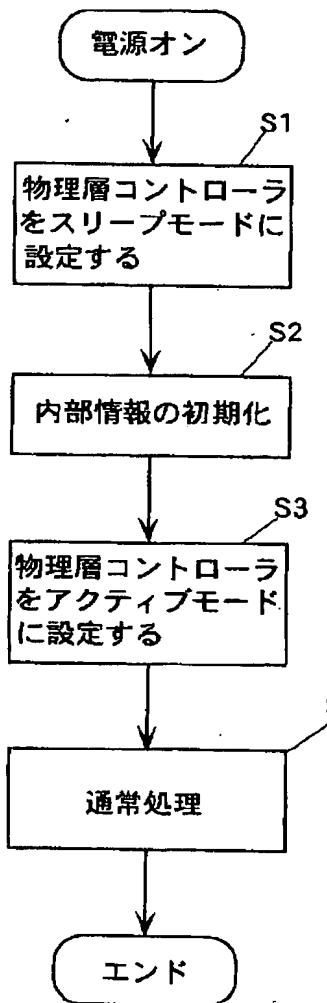
(5)

圧回路、17…バイアス出力制御回路

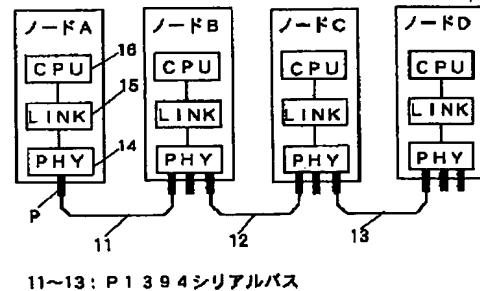
【図1】



【図2】



【図4】



【図3】

